# This Page Is Inserted by IFW Operations and is not a part of the Official Record

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

### IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Problem Image Mailbox.



### PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000223713 A

(43) Date of publication of application: 11.08.00

(51) Int. CI

H01L 29/786

H01L 21/28

H01L 29/40

H01L 29/43

H01L 29/78

H01L 21/336

(21) Application number: 11025106

(71) Applicant:

OKI ELECTRIC IND CO LTD

(22) Date of filing: 02.02.99

(72) Inventor:

MATSUHASHI HIDEAKI

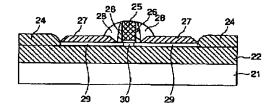
### (54) SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

### (57) Abstract:

PROBLEM TO BE SOLVED: To reduce the source-drain resistance to increase the driving force of a transistor by epitaxially growing a silicon film having a (1, 1, 1) facet face on the source and drain of a MOSFET.

SOLUTION: A SOI NMOSFET consists of a silicon substrate 21, a buried oxide film 22, a body 30, a field oxide film 24, a gate electrode 25, a thin SiO2 side wall 26, a thick SiO2 side wall 28, the source and drain 29, and silicon 27 epitaxially grown in source and drain regions. Compared with a case that a silicon film having no facet face is epitaxially grown vertically, the silicon 27 having a (1, 1, 1) facet face reduces a fringe capacity between the gate and the source-drain. Moreover, as the silicon film 27 starts to get thicker at a part closer to the gate than the vertically grown silicon film, the resistance of a slant region of the source and drain 29 near the gate can be reduced.

COPYRIGHT: (C)2000,JPO



(43)公開日 平成12年8月11日(2000.8.11)

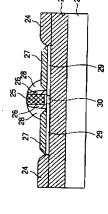
テマコード(参考) 4M104 5F040 5F110 最終員に続く	帝[2号 年[2号 本國気
616S 301T A A T T 301S OL (全9頁)	000000295 种概反工業株式会社 東京都群区虎ノ門1丁目7番12号 松橋 寿明 東京都港区虎ノ門1丁目7番12号 工業株式会社内 100089083 沖理士 大西 健治
10	000000295 种霉复工業株式会社 東京都港区房/門1 松藤 秀明 東京都港区房/門1 工業株式会社内 100089033 井理士 大西 健治
F I H O I L 29/78 21/28 29/40 29/46 29/78 <b>\$</b>	1
Fi HO1L 未謝決 醇	(72)発明者 (74)代理人
中華中國	(1999, 2, 2)
<b>韓</b> 別記号 301	<b>特國平</b> 11-25106 平成11年2月2日(1999.2.2)
23/786 21/28 28/40 28/43	
(51)IntCl.' H 0 1 L	(22) 出題日(22)

# [54] 【発明の名称】 半導体案子及びその製造方法

57) [要約]

ンを用いて微細ゲート及のSOI MOSFETにおいて、傾斜傾 頃のソース・ドレイン抵抗を小さくし、トランジスタの [目的] (1.1.1)ファセット値を持つエピしたシリコ 緊動力をあげることを目的とする。

されたMOSFETであって、MOSFETのソース及びドレイン上 こ (1.1.1)ファセット面を有する半導体層を、エビタキ 【構成】 SOI (Silicon on insulater) 基板上に形成 シャル成長させた。



【特許指次の海班】

形成されたMOSFETであって、前記MOSFETのソース及びド 海水項1】 SOI (Silicon on insulater) 基板上に エピタキシャル成長されていることを特徴とするMOSFET レイン上に (1.1.1)ファセット面を有する半導体層が、

近記半導体層がシリコン若しくはシリコンチルシである 【請求項2】 請求項1記載のMOSFETの構造であって、 ことを特徴とするMOSFETの構造。

成する工程と、選択エピタキシャル成長法により前記MO ゲート
転権の
関語
に
絶験
物から
成る
ナイド
ウォー
レ
を
形 持つ半導体膜を形成することを特徴とするMOSFETの製造 **らて、前記基板上にゲート結構を形成する工程と、前記** 【請求項3】 SOI 基板上にMOSFETを製造する方法であ SFETのソース及びドレイン上に(1,1,1)ファセット面を

【静水項4】 請水項3記載のMOSFETの製造方法であっ た後、前記ゲート粗極の側壁に、再度絶縁物のサイドウ て熱処理する工程を行うことを特徴とするMOSFETの製造 オールを形成し、801基板全面に高融点金属を堆積させ て、前記(1,1,1)ファセット面を持つ半導体版を形成し

【請求項5】 請求項3記載のMOSFETの製造方法であっ て、前記半導体版がシリコン、着しくはシリコンゲルマ であることを特徴とするMOSFETの製造方法。

【語求項6】 請求項3記載のMOSFETの製造方法であっ て、前記絶線物がSio2指しくはSiNであることを特徴と するMOSFETの製造方法。

吸棋買に扱く

セット面を有するエピタキシャル成長されたシリコン層 が高騰点金属とのシリサイドに改変されており、前記MO SFETのゲート電極の側壁の絶縁版から成るサイドウォー **樹点金属とのシリサイドに改変されてなることを特徴と** て、前記MOSFETのソース及びドレイン上に(1,1,1)ファ **前記SOI基板の絶線層まで造しないシリコン層が前記**商 ルが前記(1,1,1)ファセット面を覆うように形成され、 【辯米頃7】 SOI 基板上に形成されたMOSFETであっ するMOSFETの構造。

前記絶線版がSiO2若しくはSiNであることを特徴とするM 【游水項8】 請求項7記載のMOSFETの構造であって、 OSFETの構造。

前部高騰点金属とのシリサイドが、コバルトシリサイド (CoSi<sub>2</sub>) 、チタンシリサイド (TiSi<sub>2</sub>) 白金シリサイド (PtSi2) のいずれかであることを特徴とするMOSFETの 【選求項9】 讃水魚7記載のMOSFETの構造であった、

[発明の洋細な説明]

[1000]

or) 電界効果トランジスタ (MOSFET) の構造及び製造方 [発明の属する技術分野] この発明は、高速・低消費電 カ・高倍質性の復細ゲート及のSOI (Silicon oninsulat

**広に関するものである。** 

[0002]

(1996) p. 17-1S01 MOSFET(まその) 構造的特徴から寄生容量が小さいこと、ラッチアップフ リーであること、ソフトエラー率が低いこと、表了分離 : V. Nakahara, Sympoium on が比較的容易であること等の及所を有しており、高速・ 低消費電力LSIへの適用可能性について大きな関心が向 [従来の技術] 文献名 I.SI Technology Dig. ナられている。 【0.0.0.3】完全空之型(FD) デバイスでは、ゲートド 5。ゲート長が0.2μm以下程度では、S01酸厚は20 - 50 ートチャネル効果を抑える必要がある。ただし、不純物 ス・ドレイン部の抵抗が高くなり、トランジスタ特性は に形成される空之層がSOI下の埋め込み酸化散(BOX) 東 利点がある。…方、微細ゲート艮のFDデバイスを実現す **か到遊するため、記み題な量がそさくなり、サンメワツ** るためには、チャネル部の不純物濃度を高めることによ り、ソース・ドレインからの空恐猫の延びを抑え、ショ 改度を高くすることにより、ゲートドの空を層の広がり が狭くなるため、完全空を型動作(空を層がBOXまで到 ョルド係数 (S値) がほぼ理想値まで小さくなるという maと非常に深くしなければならない。 このため、ソー 造する) にするためにはSOI販児を得くする必要があ ソース・ドレイン抵抗により劣化してしまう。

なり、高抵抗化したり、チャネル部とソース・ドレイン 【0004】ソース・ドレイン抵抗を下げる方法のひと つとして、ソース・ドレイン上にのみチタン (Ti) やコ バルト (Co) のシリサイド層を選択的に形成するサリサ ようにサリサイドを形成した場合、臨集が超こりやすく 化しようとした場合には、サリサイドの抵抗が十分に低 くならない、あるいは細線部でシリサイドが形成されな 部が断裂する可能性がある。S01層を幾してサリサイド イド技術が一般的に使われている。しかしながら、501 **駿厚が50 m電度より薄くなると、その形成が困難にな** ることが知られている。シリサイドがBOXまで到透する いなどの問題が生じる。

【0005】ソース・ドレイン抵抗を下げるもうひとつ の方法として、ソース・ドレイン上にSIを遊収エピ成長 **させたソース・ドレイン部のシリコン戦中を与くする**方 **法がある**. 【0006】上記の文様には、ソース・ドフイン上にシ リコンやドビ成成したBulkシリコンのMOSFETの報題及び 製造方法が示されている。図8はその説明のための図で あり、断面図を以って概略的に示したPMOSFETの構造図 【0007】図8は、PMOSFFTをゲートと垂直方向に切断 イン128、ソース・ドレイン127、ソース・ドレイン上に Fivsi02のサイドウォール126、没接合のソース・ドレ した断面図であり、シリコン基板121、フィールド酸化 数122、ゲート電極123、違いSiNのサイドウォール124、

€

エビ成長したシリコン125から権成されている。 エビ成長したシリコン125は、ボロン (B) がfm situで導入されており、また (3.1.1) ファセット値を持っている。 [0008] この権指では、(3.1.1) ファセット値を持っている。 カンツョンをエピすることにより、ゲートセンース・ドレイン間のフリンジを積を低減させていること、殺狡伯のソース・ドレイン1285上にもエピシリコンがあることにより、殺狡介のジース・ドレイン1285元だら正ピシリコンがあることにより、殺狡介のジース・ドレイン1280元が存在にすることが可能になっていることが特別である。

【0009】次に、上記構造のPMOSFETの製造方法を簡単に記す。

[0010] この方法では、シリコン基板121上に基子 分離のためのフィールド酸化版122を形成する。その 後、通常のMOSFET形成プロセスを経て、ゲート電値123 まで形成する。次いで、10mのSiN膜を形成し、エッチ バックすることにより海いSiNのサイドウォール124を形成する。(図10(3)) その後、UW (Ultra High Vacuum) -CVD装置を用い、シリコン基板上にのみ込み的にB (ボロン) をドープしたシリコン数125を50mエビ成及する。このエビ版は(3. '1.1) ファセットを持つような条件で形成する。(図10 A.

年い510数を形成した後、エッチバックを行い、厚い51の数のもイドウォール126を形成する。状いで、ソース・ドレインインプラを行い、ソース・ドレイン127が形成される。(図10 (C))

うとともに、エビシリコンからBが国村政教する事により、徴後合のソース・ドレイン128が形成される。(図l 0 (0) )

ユニン 以上により、低ソース・ドレイン抵抗を持つPMOSFETが 形成される。 [0011] このように、本権道のMOSFETでは、(3.1, 1) ファセット面をものシリコンをソース・ドレイン上にエピオることにより、ゲートとソース・ドレイン間のフリング容量を積やさず、かつ淡淡合のソース・ドレインにもエピシリコンがあることにより、淡淡合のソース・ドレイン128の抵抗を下げることができるので、西泉勢力のの電界効果トランジスタ(MOSFEI)を実現でき。

## 0012]

【発明が解決しようとする機動】しかしながら、以上述べたMOSFETの構造では、図9に示すように (3.1.1) ファセット値の角度Aは25 となり、エビしたシリコンの数序を1とすると、値斜節度の良さはおよぞ2:1になる。数額ゲート及のSOT MOSFETにおいては、SOT数形が30-30 maと非常に深いため、ソース・ドレイン上部にシリコン数をエビしてもトータルのシリコン数算は消失、特に値斜筋度のソース・ドレイン抵抗が大きいため、ドランジスタの駆動力が上がらないという問題があった。

【0013】さらに、以上述べた構造でサリサイドを行う場合には、サリサイドが良好に形成されるためのシリコン数写は50 m無疑以上必要になり、それ以下の数写なななるシリコン値は早、橋化談のサイドウォール数写はおばならなくなるため、サイドウォール数写はシリコン値がサリサイドのための所望の数写となるまでのケートからの對離で決定され、ソース・ドレインとゲートのオフセット量の管理をサイドウォール数写でできなくなるという問題点があった。

【0014】上記の問題を図11に例を挙げて説明すると、501版54520 maとして、その上に60 maの数別のシソコンをエピしたとする。トータルで80 maのシリコンの以になるが、深い所でも50 m以上の数別になるよう、ドクオールはンリコン数野が30 mの以上の数別になるようが、深い所では50 mの以上の数別になるようにある がったのティンの関連は、図5に示すように約120 mになるまでの距離は、図5に示すように約120 mになるまでの距離は、図5に示すように約120 m以下は40 レイドクオールを落くして、海いシリコン上でもサリオイドが問題なく板はされるような条件を探す等、何らかりが策を課じなければならなくなるという問題があっ

### [0015]

【数題を解決するための手段】本願発明では、SOI(SII) foot on insulater)基板上に形成されたMOSFEIにおい てMOSFEIのソース及びドレイン上に(1,1,1)ファセット 面を有するシリコン酸、若しくはソリコンゲルや製が、 ドレイン間のフリンジを重を抑え、ゲートとソース・ ドレイン間のフリンジを重を抑え、が一トとソース・ 就及されたシリコン酸がゲートに近いところから厚くな るので、ソース・ドレイン間の抵抗を下げることができ 【0016】従って、ソース・ドレイン模括が大きいだめトランジスタの駆動力が上がらないという問題点を解決することができる。

[0017]また、以上述べた構造でサリサイドプロセスを行う場合には、サリサイドが良好に形成されるためのソリコン製写を充分に確保でき、ソリコン商は序い機に数のサイドウォールで覆う必要がないため、サイドウォール駅再はソリコン商がサリナイドのための所出の数写となるまで形成すれば良く、ソース・ドレインとゲートのオフセット軸の管理をサイドウォール製具でできるため、従前の問題点を解決することができる。

### [8100]

【実施例】以下、図を参照して、この発明の実施例につき説明する。なお、図中、各構成成分のの大きさ、形状及配配関係は、この発明が理解できる程度に概略的に

がしてあるにすぎず、徒って、この発明は、囚ぶ側に碾定されるものではない。また、理解を助けるため、 符号はも 1個分には、同一の符号を付けてある。

[0019]<第1の実施の| 2011にの発売の芸術の芸術の芸術の会がでいる (Silicon on insulator) 転界の果トアンジメタ (MOSFEI) の構造を設置するための図であり、か回回のを用い破略的にぶしている。ここでは、NMOSFEI についての4銭毎する。

[0020] 図1は、501 NMOSFETの所面図であり、シリコン塩板21、用め込み酸化酸22、ボディ30、フィールド酸化酸21、ゲート配離25、海・510gのサイドウォール26、厚い510gのサイドウオール28、ソース・ドレイン29、ソース・ドレイン部にエビ成及したシリコン27から構成されている。エビ成及したシリコン27は、ノンドーブで形成し、ソース・ドレインインブラの時に不満もが、導入される。また(1,1,1) ファセット面を持っている。

[0021] この構造では、(I.I.) ファセット面をものソリコンをエピキることにより、ファセット面無しで垂直にシリコン数やエピした場合よりもゲートとソース・ドレイン間のフリンジを積を低減されていること、エビされたシリコン数がゲートにより近い所から呼くなることにより、ゲートに近い強鉄領域のソース・ドレインの抵抗を下げることが回縮になっていることが特及である。

【0022】次に、図3を用いて、上記構造のSOI NMOS FETの製造方法を簡単に記す。 【0023】この方法では、シリコン基板21上に埋め込 を用い、茶子分離のためのフィールド酸化散24を形成す エッチバックすることにより違いS102のサイドウォール その後、CVD装置を用い、ソース・ドレインとなる201層 1, 1) ファセッドを形成しやすい。例えば、基板温度65 み酸化版 (Box) 22、S01層23が形成されているS01 基板 る。その後、通常のMOSFET形成プロセスを経て、ゲート 1, 1) ファセットを持つように選択エビ成長する。エビ るための塩化水素ガスを流し、15 Torrの圧力において 上にのみ50 - 100 nm程度の厚きのシリコン膜27を (1. 成長は、比較的低温 (650 - 750°C) で行った方が (1, 形成する。このときのシリコンの成及遊废は、数A/分 電極25まで形成する。次いで、10mmのSiO2概を形成し、 0℃で、原料であるジクロールシランと、選択性を上げ 程度の成長速度である。(図3(B)) 26を形成する。(図3(N))

厚いSiの数を形成した後、エッチバックを行い、厚いSiの数のオイドウォール28を形成する。サイドウォール28の数原は、ソース・ドレインインプラで導入した不穏物が、熱処理により積力向は散して、ゲートエッジ中語にソース・ドレインとボディの接合がくるように製箔する。例えば、所望のサイドウォールの数原は800 A程度である。次いで、Nのソース・ドレイソインプラを行

1、、ソース・ドレイン29を形成する。 (図3 (C) ) その後、RTAを行い、ソース・ドレイン29が活性化され、ボディとソース・ドレインの間の接合はゲートエッジ下にくる。 (図3 (D) )

以上により、低ノース・ドレイン模式を持つSOI NNOSFE 1が形成される。 1が形成される。 【0024】図2に示すように(1.1.1)ファセット面の

 【0024】図2にホチナウに (1.1.1) ファセット面の 角度Bは52 となり、エピレたシリコンの数写を1とすると、傾斜領域の長さはおよそ0.7 になる。これは、 (3.1.1) ファセット021 03分の1と非常に知い顕確と なっており、この傾斜領域ソース・ドレイン抵抗が小さ くなり、高層動力の261 MOSFETのを実現することができ。

り、断面図を用い概略的に示している。ここでは、NMOS 28、ソース・ドレイン29、ソース・ドレイン部に中に成 エビ成長したシリコンゲルマ (SiGe) 31は、ノンドーブ は、(1.1,1) ファセットを持つシリコンゲルマ (516 いSi02のサイドウォール26、IFいSi02のサイドウォール **か形成し、ソース・ドワイソイソプツの時に不割物が単** 【0026】第1の実施例においては、(1, 1, 1) ファ e) 随をソース・ドレインとなるS01路上にエビ成及する [0025] <第2の実施例>図5は、この発明の第2の 実施例を示すSOI (Silicon on insulator) 電界効果ト FETについてのみ説明する。図5は、SOI NMOSFETの断面 2、ボディ30、フィールド酸化脱24、ゲート電極25、海 及したシリコンゲルマ (SiGe) 31から構成されている。 セットを持つシリコン梱をエビしたが、第2の実施例で 図であり、シリコン基板21、埋め込み酸化版(BOX)2 ランジスタ (MOSFET) の構造を説明するための図であ 入される。また(1.1.1)ファセット面を持っている。 点が異なる。

【0027】次に、上記構造のSOI NNOSFETの製造方法を簡単に記す。

(6.0028) 第103 実施例の23(A) の構造になった 後、CTV装置を用い、ソース・ドレインとなる501届上に のみ30 - 100 nm程度の序さのシリコングルマ(516a) 版を(1.1.1) ファセットを持つように選択エビ成反す る。この時の所面図は23(B) と同等であり、エビ版が シリコングルマ(516a) 版である点のみ異なる。エビ版 反は、例えば、基板温度630(Cで、原料であるジャロー ルンランとグルマン(G-HA)、選択性を上げるための担 化水煮ガスを流し、15 Torrの圧力において形成する。 このときのシリコングルマ(516a)の成民選度は、第10 3人分程度の成民選度である。この後の工程は、第10 実施例の23(C) - (D) の説明と同等である。

 9

セット面をもつシリコンをエピすることにより、傾斜鎖 サイドウォールの駁序制御は、ソース・ドレイソイング ラで導入した不純物が横方向拡散してゲートエッジ付近 図3 (D) の構造の後に、サリサイドを行い、ゲート及び 或の長さはエビ戦庁の70%程度と非常に短いので、厚い コンース・ドレインとボディの接合がへる数序に鸛箔や ソース・ドレインの抵抗を下げている。 (1,1,1) ファ ればよくなる。

【0032】次に、上記構造のSOI NNOSFETの製造方法 を循手に記す。

4/H202) 等のサリサイドとの選択エッチング可能な溶液 後、コバルト (Co) あるいはチタン (Ti) をスパッタ法 る。装面に形成された、窓化物はアンモニア過水(NH40 に設すことにより、除去する。その後、再度RTA装置に (RTA) 装置により、所望の温度での熱処理を行い、ゲ こより、所望の畝屋形成する。その後、短時間熱処理 **ート上及びソース・ドレイン上にサリサイドを形成す** [0033] 第1の実施例の図3(0)の構造になった より熱処理を行い、サリサイドの低抵抗化を行う。

[0034] 以上により、低ソース・ドレイン抵抗を持 OSOI NNOSFETが形成される。

## [0035]

数がゲートに近い所から厚くなることにより、傾斜領域 (Silicon on insulator) 簡界効果トランジスタ (MOSF にエピすることにより、ゲートとソース・ドレイン間の フリンジ容量の増加を抑え、かつ、エビされたシリコン 高駅動力のSOI MOSFETのを実現することができるという ト面をものシリコンをソース・ドレインになる201層上 【発明の効果】この発明の第1の実施例によれば、501 ff) の構造及び製造方法によれば、(1,1,1) ファセッ のソース・ドレインの抵抗を下げることが可能になり、 効果が得られる。

トの場合と、(1, 1, 1) ファセットの場合を示した。5 01の初期数序を20 mm、ゲートとコンタクト間の距離を2 00 nm、エビしたシリコン散序を60 nmとし、ゲートエッ 【0036】従来の(3, 1, 1) ファセットを持つ構造 ン抵抗を比較する。図4に、シリコンをエピしたソース ・ドフイン書の奪詞の窓とした、 (3, 1, 1) レトセッ イ (1、1、1) ファカットを恭し森珀のシース・ドフイ ジからコンタクトエッジまでの抵抗を求めた。

[0037] これから、コンタクトまでの間のソース・

ドレイン抵抗は (1, 1, 1) ファセットの方が、(3, 1, ンタクト間の距離が短くなれば、その効果はさらに大き る。また、設計ルールがより短くなって、ゲートーコ 1) ファセットよりも約20%抵抗が低くなる事がわか

SOI (Silicon on insulator) 電界効果トランジスタ (M OSFET) の構造及び製造方法によれば、(1,1,1) ファセ とにより、同一温度におけるシリコンのエピ成長速度の 数十倍の速度が得られるため、プロセス時間の短縮が実 現できるという効果が得られる。シリコンのエピ成長速 ット面をもつシリコンゲルマ(SiGe)をエピ成長するこ め、例えば600Å成長させるためには、6分と十分実用的 【0038】また、この発明の第2の実施例によれば、 度は数人/分のため、例えば600人成長させるためには 数時間を要し、デバイス製造を行う上で実用的ではな い。シリコンゲルマのエピ成長速度は約100Å/分のた な時間である。

コンタクト抵抗が下がるという効果も得られる。シリコ 【0040】また、当然、シリコンゲルマも (1,1.1) ンゲルマでは、同じ不純物濃度のシリコンに比べ、コン ファセット面を持つように形成しているため、第1の実 【0039】更に、シリコンゲルマを使うことにより、 タクト抵抗率は2桁程度低くなることが知られている。 面例と同様な効果も得られる。

SOI (Silicon on insulator) 電界効果トランジスタ (M OSFET) の構造及び製造方法によれば、 (1,1,1) ファセ シト油を もつシリコン をソース・ドレイン 上にエピした 後、厚いサイドウォールを形成し、その後サリサイドを の抵抗を大きく下げることが可能になり、高駆動力のSO (3.1.1) ファセット風の場合より もソース・ドレイン 【0041】更に、この発明の第3の実施例によれば 行ってソース・ドレインの抵抗を下げることにより、

った場合のソース・ドレイン抵抗を比較する。図7に、6 0 mmのシリコンをエピし、その後Coサリサイドを行った I MOSFETのを実現することができるという効果が得られ 【0042】従來の(3,1,1) ファセットを持つ権語 と (1, 1, 1) ファセットを持つ構造でサリサイドを行 協合の断面図を、 (3, 1, 1) ファセットの場合と、

(1, 1, 1) ファセットの場合を示した。501の初期版序 を20 nm、SiO2の厚いサイドウォールの数原をそれぞれ1 1) ファセットでは、サリサイドに必要なシリコンの戦 原以下の領域を覆うように、 (1, 1, 1) ファセットで は、ソース・ドレインとゲートのオフセットが無くなる 20nm、80nmとした。サイドウォール数序は、(3, 1,

【0043】ゲートエッジからコンタクトエッジまでの め、ゲートエッジからCoシリサイドまでの抵抗を簡略化 K抗を第1の実施例の効果の中で求めたが、Coシリサイ ドがある場合はCoシリサイドの抵抗が非常に小さいた

ドレイン抵抗は(1. 1, 1) ファセットの方が、(3. 1. 【0044】これから、コンタクトまでの間のソース・ 1) ファセットよりも約60%と非常に抵抗が低くなる

サイドを行なわない場合の抵抗計算は、ゲートからある 距離離れた位置にコンタクトが連続して存在している場 リコンをソース・ドレイン上にエビしたことにより、傾 厚いサイドウォール膜厚はソース・ドレインとゲートの オフセットがなくなる条件でのみ決定すれば良くなると リコン戦兵となるまでのゲートからの距離で決定される なったり、ソース・ドレインとゲートのオフセット量管 **飛が難しくなるといった問題があったが、サリサイドと** 組み合わせることで生じるそれらすべて問題ががなくな 事、また、図4におけるサリサイド無しの場合よりも約6 0%と非常に抵抗が低くなることがわかる。しかし、サリ 合、サイドウォール脳卓はサリサイドのために必要なシ ため、不必要にサイドウォール戦厚が厚くなったり、そ れを防ぐためにはサリサイド条件に対する制限が厳しく いう効果も得られる。 (3,1,1) ファセット面をもつ場 【0045】加えて、(1.1.1) ファセット回をものツ 斜領域の長さはエビ脱厚の70%程度と非常に短いので、 合を想定しているため、実際には更に抵抗は減少する。

## [0046]

いてのみ説明を行ったが、不純物のN型とP型をかえるこ る。又、本発明は、通常のBulkシリコン基板上に作製さ 【科用の表稿】第1から第3の味搐倒では、NMOSFETにつ とにより、当然PMOSFETにもこの方法は適用可能であ れたMOSFETにも適用可能である。

【図1】第1の実施例によるSOI上に形成されたNWISFET [図面の簡単な説明]

り野姐図である。

\_ | |<u>|</u>

[図2] (1.1.1)ファセット面の角度を説明する図であ

場合の(3,1,1)ファセットと(1,1,1)ファセットとを比較 [図4] シリコンをS01上にエピクキシャル成長させた [図3] 図1のNNOSFETの製造 I.積の断面図である。

[図5] 第2の実施例によるSOI上に形成されたNNOSFET の東语図である。

した断値図である

【図6】第3の実施例によるSOL上に形成されたNAOSFET の所面図である。

さらにシリサイド化した塩合の(3,1,1)ファセットと(1, 【図8】PMOSFETをゲートと揺直方向に切断した断面図 [図7] シリコンをSOL上にエピタキシャル成長させ、 1,1)ファセットとを比較した断面図である。

【図9】(3,1,1)ファセット面の角度を説明する図であ

【図11】801上に(3,1,1)ファセットのシリコンをエビ [図10]図8のPNOSFETの製造工籍の断面図である。

21:シリコン基板 [作号の説明]

タキシャル成長させた場合の断面図である。

22:埋め込み酸化膜

2 4:フィールド酸化脱 23:S01層

25:ゲート配権

26:海バナイドウォール

27: エビ成長させたSi

28:厚いサイドウォール

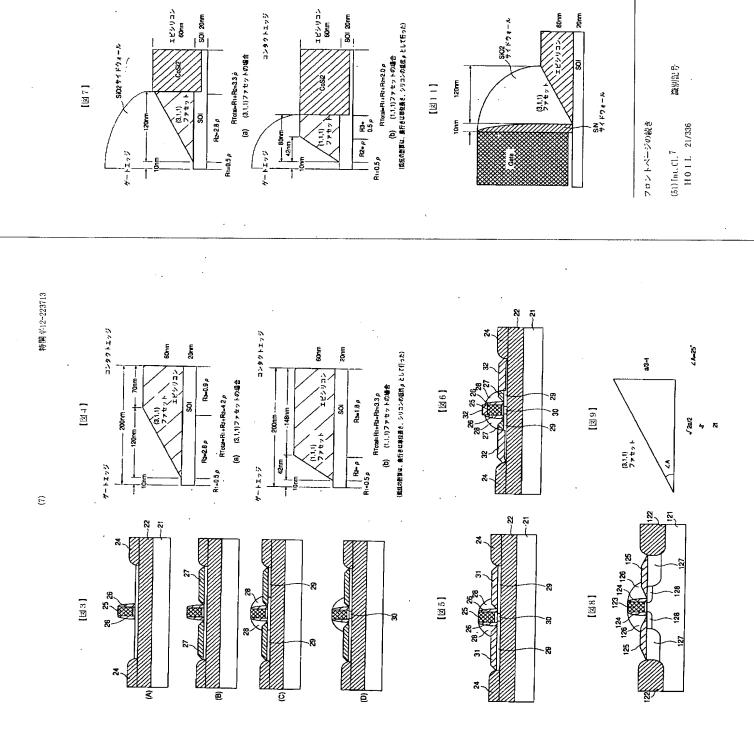
29:ソース・ドレイン

30: ボディ

[図2]

√2a2

B=52 **\$** 



特開平12-223713

8

124 123

) €

<u>@</u>

Ō

6

[0 | 图]

テーマコード(物札)

F 1 H 0 1 L 29/78

301Q 616T 616L 616V

6

Fターム(参考) 4N104 AA01 AA09 BB20 BB25 CC01 DB02 DB43 DB80 DB81 EE09

EE17 GG09

5F040 DA05 DA10 DA11 DA13 DC01

DC10 EB12 EC01 EC13 EF09

ER02 EW04 FA03 FA05 FA10

FC09 FC06 FC19

5F110 AA02 AA09 AA30 CC02 DB05

DB13 EF05 EF09 EF14 EF32

EE44 EF48 GG02 GG12 HJ01

HJ13 HJ23 HK05 HK08 HK09

HK21 HK25 HK32 HK39 HK39